

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 1)

(11)特許番号

特許第3012634号  
(P3012634)

(45)発行日 平成12年 2 月28日 (2000. 2. 28)

(24)登録日 平成11年12月10日 (1999. 12. 10)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

H 0 2 M 3/07

H 0 2 M 3/07

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F

H 0 1 L 21/822

H 0 1 L 27/04

G

27/04

請求項の数 5 (全 8 頁)

(21)出願番号

特願平11-13465

(22)出願日

平成11年 1 月21日 (1999. 1. 21)

審査請求日

平成11年 1 月21日 (1999. 1. 21)

(73)特許権者 000232036

日本電気アイシーマイコンシステム株式  
会社

神奈川県川崎市中原区小杉町 1 丁目403  
番53

(72)発明者

鈴木 宏一

神奈川県川崎市中原区小杉町一丁目403  
番53 日本電気アイシーマイコンシステ  
ム株式会社内

(74)代理人

100082935

弁理士 京本 直樹 (外 2 名)

審査官

堀川 一郎

(56)参考文献

特開 平 8 - 205524 (J P, A)

最終頁に続く

(54)【発明の名称】 半導体昇圧回路

1

(57)【特許請求の範囲】

【請求項 1】 所定発振周波数の発振信号を出力する発振器回路と、この発振器回路の出力により制御出力を負荷消費回路に出力する昇圧制御部と、この昇圧制御部の出力電圧が所定値にあることを判定して前記発振器回路の出力を制御する電圧判定回路とを有する半導体昇圧回路において、前記昇圧制御部が、前記発振器回路の出力を所定数のインバータからなる論理部により増幅し、この論理部の出力を第 1 のポンピング容量を介して昇圧し第 1 の出力トランジスタに供給し第 1 の制御電圧として前記負荷消費回路に出力する昇圧部と、前記発振器回路に出力を所定数のインバータからなる論理部により増幅し、この論理部の出力を第 2 のポンピング容量を介して昇圧し第 2 の出力トランジスタに供給し第 2 の制御電圧として出力する電圧変換用昇圧部と、この電圧変換用昇

2

圧部の昇圧した第 2 の制御電圧を駆動電源として前記発振器回路の出力をその駆動電源電位レベルに変換しこの変換出力を前記第 1、第 2 の出力トランジスタのゲートにそれぞれ接続する電圧変換回路とを備えることを特徴とする半導体昇圧回路。

【請求項 2】 複数の昇圧制御部により負荷消費回路が駆動される請求項 1 記載の半導体昇圧回路。

【請求項 3】 複数の昇圧制御部のうちの 1 個の昇圧制御部の電圧変換用昇圧部および電圧変換回路が共通化されて用いられ、他の昇圧制御部の電圧変換用昇圧部および電圧変換回路が削除された請求項 2 記載の半導体昇圧回路。

【請求項 4】 ポンピング容量が、負荷消費回路の消費電荷量以上となるように設定された請求項 1 記載の半導体昇圧回路。

【請求項5】 負荷消費回路の消費電荷量に対応して、昇圧制御部のディメンションおよび使用個数が設定された請求項1記載の半導体昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体昇圧回路に関し、特にDRAM等に用いられるチャージポンプ回路等の半導体昇圧回路に関する。

【0002】

【従来の技術】図5は一般的な昇圧回路の構成を示すブロック図である。この半導体昇圧回路は、所定周波数の発振出力を取り出す発振器回路10と、出力電圧が所定値にあるか否かを判定する電圧判定回路11と、発振器回路10の出力から所定昇圧を得る昇圧部12と、この昇圧部12の出力を制御する出力制御回路15と、出力負荷となるインバータなどからなる消費回路30とから構成される。また、昇圧部12は、発振器回路10の出力を複数段のインバータに入力する昇圧論理部16および出力インバータ17と、この出力インバータ17の出力が昇圧コンデンサCp1を介して供給される出力用MOSトランジスタQ1とから構成される。

【0003】この回路構成における各接点の電圧を図6の動作波形図に示す。発振器回路10の出力から所定発振周期 $t_{osc}$ の出力 $V_{osc}$ が出力され、この出力 $V_{osc}$ は出力制御回路15で増幅されて出力 $V_{gin}$ となり、この出力はコンデンサCp3を介してMOSトランジスタQ1のゲート電圧として電源電圧 $V_{cc1}$ を重ねた電圧 $V_{gout}$ となっている。また昇圧論理部16の出力は、昇圧コンデンサCp1を介した出力 $V_{cp1}$ が出力用MOSトランジスタQ1のドレインに入力され、このMOSトランジスタQ1のソースから出力電圧 $V_{Pl}$ を得る。なお、MOSトランジスタQ1のソース・ゲート間電位 $V_{gs2}$ があるため、出力電圧 $V_{Pl}$ は2倍電位 $2V_{cc1}$ より電位 $V_{gs2}$ 分少なくなっている。

【0004】この従来の回路では、電源電圧 $V_{cc}$ が5Vまたは3.3Vであったため、昇圧回路の出力トランジスタのゲートとソース電位差 $V_{gs2}$ を確保することが出来、供給能力を得られていたため、動作に支障はなかった。しかし、メモリセルの微細化、および大容量化に伴い、電源電圧の低電圧化が進み、現在では電源電圧2.5Vが一般的となりつつあり、さらに低電圧化が進んでいる。

【0005】この低電圧化に伴い、昇圧回路の出力トランジスタのゲート信号電位 $V_{gout}$ が昇圧回路の出力電位 $V_{Pl}$ に対し電位差 $V_{gs2}$ を確保できなくなり、また、消費電流量が大きいと昇圧電位を出力するトランジスタのしきい値電圧による電圧降下と基板バイアス効果により能力の低下が生じるため、消費電流に対し供給電流能力が得られなくなっている。これによって消費回路が動作することにより、昇圧回路の出力電位 $V_{Pl}$ が降下しつづ

け、消費回路30において動作不良を起こしてしまう。

【0006】この消費回路30の動作について、図7の波形図を用いて簡単に説明する。この消費回路30は、1サイクル毎に消費電荷量CDを充電と放電が繰り返され、消費回路30の入力信号 $V_{cyi}$ は、周期 $t_{cyc}$ をもっており、入力信号 $V_{cyi}$ が‘L’レベル時に電荷量CDを充電し、入力信号 $V_{cyi}$ が‘H’レベル時に電荷量CDを放電するものとする。消費回路30により消費される電荷量CDの供給源が昇圧回路の出力 $V_{Pl}$ となっている。なお、周期 $t_{cyc}$ を70nsとすると、発振周期 $t_{osc}$ がその $1/2 \sim 1/4$ 周期となる。

【0007】ここで発振器回路10から出力される信号 $V_{osc}$ の発振サイクル $t_{osc}$ と消費回路30の動作サイクル $t_{cyc}$ は異なり、通常動作サイクル $t_{cyc}$ 内に発振サイクル $t_{osc}$ が数回発振して消費回路30に供給される。

【0008】この時の昇圧回路からの供給電源波形 $V_{Pl}$ の様子を示す。入力信号 $V_{cyi}$ が‘L’レベルの時、出力負荷の電荷量CDに対し充電動作が開始されるため、電位降下が生じる。なお供給電源元の電位降下量 $\Delta V_1$ は、充放電量CDと出力部に負荷されている容量CHとの比例関係に有り、負荷容量CHが大きくなるに従い、電位降下量 $\Delta V_1$ は小さくなる。また、消費回路30の電位降下量 $\Delta V_2$ は、消費回路の充放電量に対するスピードに依存し、また充電が完了するまで昇圧回路が動作を行う。ここで、昇圧回路において、電流供給能力が不足すると、動作サイクル $t_{cyc}$ 内に電荷量CDに対し供給できなくなるため、動作サイクル $t_{cyc}$ サイクル毎に電位降下が生じる。これにより、消費回路の供給電源が得られず、動作不良に至ってしまう。

【0009】さらに、この従来例の問題を回避する方法として、電圧変換器により出力トランジスタのゲート電位を昇圧することにより昇圧電圧 $V_{pp}$ を確保する構成が、特開平8-205526号公報（従来例2）として公知となっている。図8はこの従来例2の回路構成を示すブロック図、図9は図8の電圧変換回路14の一例の回路図であり、図10は図8の回路構成における各接点の動作電圧の波形図である。

【0010】この昇圧回路は、図5の共通の内部電源 $V_{cc1}$ で動作する出力制御回路15の代りに、図8のように他の外部電源 $V_{cc2}$ で動作する電圧変換回路14を用いている。また電圧変換器14は、図9のように電源電圧 $V_{cc}$ と入力ノードN1との間に接続したPMOSトランジスタQ11と、ゲート端子に発振器回路10の出力信号を入力し、入力ノードN1と接地電圧 $V_{ss}$ との間に接続したNMOSトランジスタQ13と、電源電圧 $V_{cc}$ と出力ノードN2との間に接続したPMOSトランジスタQ12と、ゲート端子に発振器回路10からの信号をインバータ40で反転させて供給し、出力ノードN2と接地電圧 $V_{ss}$ との間に接続したNMOSトランジスタQ

14とから構成される。

【0011】PMOSトランジスタQ11のゲート端子は出力ノードN2に接続され、PMOSトランジスタQ12のゲート端子は入力ノードN1に接続されている。また出力ノードN2が昇圧キャパシタCp3に接続されている。図のように、ゲート端子が交差接続されたPMOSトランジスタQ11、12とNMOSトランジスタQ13、14とでいわゆるカスコード増幅器が構成されている。

【0012】この昇圧回路において、発振器回路10の出力がNMOSトランジスタQ13を導通させるレベルで入力すると、入力ノードN1の放電が行われてその電圧が論理‘L’レベルとなり、入力ノードN1にゲート端子を接続したPMOSトランジスタQ12が導通する。これにより出力ノードN2は電源電圧Vccのレベルに充電される。従って、昇圧ノードBすなわち出力トランジスタQ1のゲート電圧は2Vccの電圧レベルに昇圧される。つまり、昇圧ノードBは従来に比べ格段に高いレベルへ昇圧されるので、出力トランジスタQ1のしきい値電圧Vtによる電圧降下の影響を抑制することができ、多量の電荷を昇圧電圧Vppに供給できる。この従来例2においても、低電圧化に対しては電圧変換回路14の電源電位が十分な電位でないため、昇圧電位が得られない。例えば、電源電位Vcc1が2.3Vの時、出力電位VP1に3.5Vを得たい場合、出力トランジスタQ1のゲート電位は基板バイアス効果により、通常のしきい値電位Vtの2倍程度のゲート電位を必要とし、通常のしきい値電位Vtを0.7Vとすると、4.9V程度以上の安定した電位が要求される。しかし、図5の一般的な昇圧回路においてはゲート電位は $V_{cc1} \times 2 = 4.6$  Vしか得られないため、電流供給能力を得ることができない。また、図8の昇圧回路においても、電源電圧Vcc1を2.3V、電源電圧Vcc2を2.5Vとした時、ゲート電位は $V_{cc1} + V_{cc2} = 4.8$  Vとなり、前述の従来例1より若干ゲート電位は確保されているものの、まだ電流供給能力は得られない。

【0013】さらに、昇圧回路の出力トランジスタのゲート電位を確保する方法として、図11の回路構成のブロック図、図12のその動作波形図を示すものがある。この回路は、電圧変換回路14の電源電圧を、昇圧回路からの出力電位VP1より供給されている。これにより、ゲート電位を従来例1に従うと、 $V_{cc1} + VP1 = 2.3$  V + 3.5 V = 5.8 Vを得ることができ、前記従来例1、2に比べ、大きく能力向上が図られる。

【0014】しかし、消費回路30が短いサイクルでの動作時、電荷量CDへの充放電が繰り返されるため、出力電位VP1の電位接点は、数Vの電位変動が生じる。従って、安定したゲート電位が得られない。

【0015】

【発明が解決しようとする課題】 上述したように従来の

半導体昇圧回路は、図5の一般的な昇圧回路においては、ゲート電位は $V_{cc1} \times 2 = 4.6$  Vしか得られないため、電流供給能力を得ることができない。また、図8の昇圧回路においても、電源電圧Vcc1を2.3V、電源電圧Vcc2を2.5Vとした時、ゲート電位は $V_{cc1} + V_{cc2} = 4.8$  Vとなり、前述の従来例1より若干ゲート電位は確保されているものの、まだ電流供給能力は得られない。

【0016】さらに、図11の回路構成の場合、従来例1、2に比べ、大きく能力向上が図られるが、消費回路30が短いサイクルでの動作時、電荷量CDへの充放電が繰り返されるため、出力電位VP1の電位接点は、数Vの電位変動が生じる。従って、安定したゲート電位が得られないため、効率よく昇圧能力を得ることができないという問題がある。

【0017】本発明の目的は、これらの問題点を解決し、電流供給能力を十分得ることができると共に、効率よく昇圧能力を得ることができるようにした半導体昇圧回路を提供することにある。

【0018】本発明の他の目的は、昇圧回路の出力トランジスタに入力されるゲート電位に対し、電位変動の安定した高い電位が得られる半導体昇圧回路を提供することにある。

【0019】

【課題を解決するための手段】 本発明の構成は、所定発振周波数の発振信号を出力する発振器回路と、この発振器回路の出力により制御出力を負荷消費回路に出力する昇圧制御部と、この昇圧制御部の出力電圧が所定値にあることを判定して前記発振器回路の出力レベルを制御する電圧判定回路とを有する半導体昇圧回路において、前記昇圧制御部が、前記発振器回路の出力を所定数のインバータからなる論理部により増幅し、この論理部の出力を第1のポンピング容量を介して昇圧し第1の出力トランジスタに供給し第1の制御電圧として前記負荷消費回路に出力する昇圧部と、前記発振器回路に出力を所定数のインバータからなる論理部により増幅し、この論理部の出力を第2のポンピング容量を介して昇圧し第2の出力トランジスタに供給し第2の制御電圧として出力する電圧変換用昇圧部と、この電圧変換用昇圧部の昇圧した第2の制御電圧を駆動電源として前記発振器回路の出力をその駆動電源電位レベルに変換しこの変換出力を前記第1、第2の出力トランジスタのゲートにそれぞれ接続する電圧変換回路とを備えることを特徴とする。

【0020】

【発明の実施の形態】 図1は本発明の一実施形態による回路構成を示す回路図である。従来は、昇圧回路の出力トランジスタを制御するゲート信号発生回路の出力制御回路15または、電圧変換回路14の電源電圧f内部電源Vcc1または外部電源Vcc2により供給していたが、本発明の構成では、電圧変換回路15の電源電圧

に電圧変換専用昇圧部13を設けている。

【0021】この電圧変換回路14は、電圧変換専用昇圧部13により電源電圧が供給されるため昇圧回路の出力トランジスタQ1を制御するゲート信号に至っては、3倍程度の出力電位を得ることができる。従って、昇圧回路の出力トランジスタQ1のゲートとソースの電位差 $V_{gs}$ が確保できるため、基板バイアスに起因した昇圧能力低下を防止するという効果が得られる。特に、電源電圧の低電圧化に対しては効果が大きい。

【0022】図1を参照すると、この半導体昇圧回路は、発振器回路10と、電圧判定回路11と、昇圧制御部20と、出力負荷となるインバータなどからなる消費回路30とから構成され、昇圧制御部20が、昇圧部12と、電圧変換専用昇圧部13と、電圧変換回路14とを有している。この発振器回路10からは、任意の周期の波形が出力されており、昇圧回路の出力電圧値 $V_{P1}$ を判定する電圧判定回路11により、その出力が制御されている。また電圧判定回路11は、任意に設定された昇圧回路の出力電圧値を検出しており、任意の電圧に達した時、発振器回路10の動作を停止し、また昇圧回路の出力電圧が任意の電圧値より降下した時、発振器回路10の動作を開始する機能を有している。この、発振器回路10から出力信号は、昇圧部13と電圧変換専用昇圧部14と電圧変換回路15に供給されている。

【0023】昇圧部13は、発振器回路10からの出力信号 $V_{osc}$ を成形する昇圧回路論理部16と、これを駆動するインバータ回路17と、このインバータ回路17の出力をポンピング容量 $C_{p1}$ を介して入力し消費回路30を制御する出力トランジスタQ1とで構成されている。このポンピング容量 $C_{p1}$ と、これを駆動するインバータ回路17および、消費回路30に供給制御する出力トランジスタQ1は、消費される電荷量 $CD$ と発振器回路の動作周期により、その大きさ（ディメンジョン）が設定され、消費電荷量 $CD$ が大きくなるに従い、また、消費サイクルが短くなるに従い、回路規模が大きくなる。また、昇圧回路の出力に付加されている容量 $CH$ は、消費回路30の動作時の電位変動量を極力押さえるための容量であり、電位変動量を小さく押さえようとすると大きな容量値が必要となる。

【0024】例えば、DRAMの場合、消費電荷量 $CD$ がその消費電荷量に相当し、200～400pF、容量 $CH$ が数千～数万pF、ポンピング容量 $C_{p1}$ が数百pF、ポンピング容量 $C_{p2}$ 、3が数～数十pF、また容量 $C_d$ が数pFである。

【0025】電圧変換専用昇圧部13は、前述の昇圧部12と構成が全く同じであり、発振器回路10からの出力信号を成形する電圧変換専用論理部18と、これを駆動するインバータ回路19と、このインバータ回路19の出力をポンピング容量 $C_{p2}$ を介して入力し電圧変換回路14を制御する出力トランジスタQ2とで構成され

ている。この電圧変換専用昇圧部13の出力信号は、電圧変換回路14での消費量は、昇圧部12に比べ格段に小さい。従って、ポンピング容量 $C_{p2}$ と、これを駆動するインバータ回路19と、電圧変換回路15に供給制御する出力トランジスタQ2のディメンジョンは小さく設定できる。また、電圧変換専用昇圧部13の出力に付加されている容量 $C_d$ は、電圧変換回路14の動作時の電位変動量を押さえる容量である。

10 【0026】電圧変換回路14は、電圧変換専用昇圧部13により昇圧された出力電圧 $V_{P2}$ を電源電圧とし、発振器回路10からの任意の周期を持った出力信号に対し、電圧が昇圧された信号に変換して出力する回路である。電圧変換回路14により出力された信号 $V_{gin}$ は、ポンピング容量 $C_{p3}$ に輸入され、さらに電位が昇圧される。この昇圧された信号 $V_{gout}$ が昇圧部12と電圧変換専用昇圧部13の出力トランジスタQ1、Q2のゲート信号となる構成となっている。

20 【0027】図中消費回路30のインバータ回路は昇圧された電位を消費する回路の簡易モデルであり、本発明の構成とは直接関係しないので、簡易化した回路構成図としてある。

【0028】次に、本実施例の動作について図1、図2により説明する。電圧変換専用昇圧部13は発振器回路10より、電源レベル $V_{cc1}$ 、発振サイクル $t_{osc}$ の信号 $V_{osc}$ が入力され、インバータ19とポンピング容量 $C_{p2}$ とにより、出力波形 $V_{cp2}$ が形成される。さらに、出力トランジスタQ2を経由して出力電位 $V_{P2}$ が供給される。出力電位 $V_{P2}$ の出力部には、電位変動を押さえるための容量 $C_d$ が負荷となっているため、常に安定した電位が供給される。電圧変換回路14で消費される電荷量の数倍の容量値 $C_d$ を設定することで電位変動量を押さえることができる。この電位 $V_{P2}$ が電圧変換回路14の電源として供給されるため、信号 $V_{osc}$ を入力とする電圧変換回路14により出力信号 $V_{gin}$ は電位 $V_{P2}$ の振幅に変換される。さらに、ポンピング容量 $C_{p3}$ により昇圧されているため、振幅波形 $V_{gout}$ が得られる。この振幅波形 $V_{gout}$ が昇圧回路12の出力トランジスタQ1のゲートに入力されるためゲートとソース間電位 $V_{gs1}$ を得ることができる。

40 【0029】図3は本発明の他の実施形態の回路図である。この回路は、昇圧回路の電流供給能力についてさらに工夫したものである。図において、図1の昇圧部12と電圧変換専用昇圧回路部13と電圧変換回路部14とを含むブロック20を並列に複数ブロック20-1～nを配置し、発振器回路10からの位相の異なる出力信号 $V_{osc1}$ 、 $V_{osc2}$ …… $V_{osc n}$ を入力とする構成となっている。

50 【0030】このように本実施形態は、電流供給タイミングの位相が異なるため、定常的な電流値を供給するこ

とができる。また消費電荷量が大きい回路に対し、供給能力が大きくなるため、昇圧能力が高くなる効果が得られる。

【0031】なお、図3の構成において、電圧変換専用昇圧部13の出力電位VP2は、より定常電位とするため、図4に示すように、制御ブロックの昇圧制御部20—nの電圧変換専用昇圧部13の出力電位VP2を用いるようにして、他の昇圧制御部20—1～n—1の電圧変換専用昇圧部13、電圧変換回路14を削除した昇圧制御部21—1～n—1を用いて、共通化してもよい。

【0032】これら図3、4の一例として、消費電荷量CDが400pFの場合、ポンピング容量Cp1の合計が消費電荷量以上となればよいので、昇圧制御部20が1個では容量Cp1が400pF以上、昇圧制御部20が4個では容量Cp1が100pF以上あればよいことになる。

【0033】従って、昇圧制御部20が1個の場合のインバータのディメンションは、昇圧制御部20が4個の場合に対して4倍程度大きくなる。このように消費電荷量CDに比例して昇圧制御部20のディメンションおよび台数が設定される。具体的な設定としては、昇圧制御部20（21）の台数を多く設けて配置し、より安定な昇圧電位を供給することもできる。

#### 【0034】

【発明の効果】以上説明したように本発明によれば、昇圧回路の出力トランジスタのゲート信号電位を十分確保でき、昇圧回路の出力電位との電位差が得られるので、昇圧回路の出力トランジスタにおける基板効果に起因した昇圧能力の低下を防止でき、高い昇圧能力を得ることができ、特に低い電源電圧に対して昇圧効果が顕著である。さらに、安定したゲート信号により出力トランジスタを制御しているので、動作の安定性を得ることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明による昇圧回路の第1の実施形態を示す回路図。

【図2】図1の動作例を示すタイミング波形図。

【図3】本発明による昇圧回路の第2の実施形態を示す回路図。

【図4】本発明による昇圧回路の第3の実施形態を示す回路図。

【図5】従来の昇圧回路の第1例を示す回路図。

【図6】図5の動作例を示すタイミング波形図。〈BR〉

【図7】図5の消費回路の動作例を示すタイミング波形図。

【図8】従来の昇圧回路の第2例を示す回路図。

【図9】図7の電圧変換回路の一例の回路図。

【図10】図7の動作例を示すタイミング波形図。

【図11】従来の昇圧回路の第3例を示す回路図。

【図12】図10の動作例を示すタイミング波形図。

#### 【符号の説明】

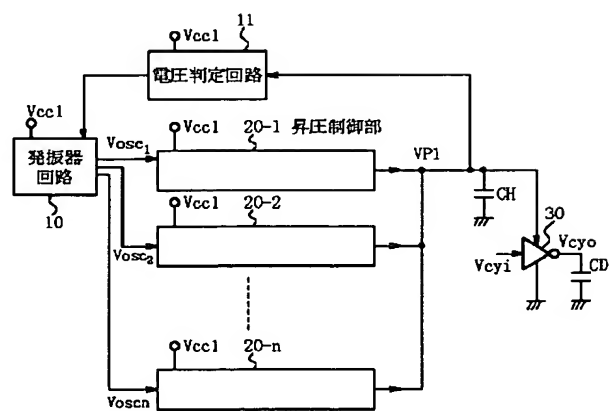
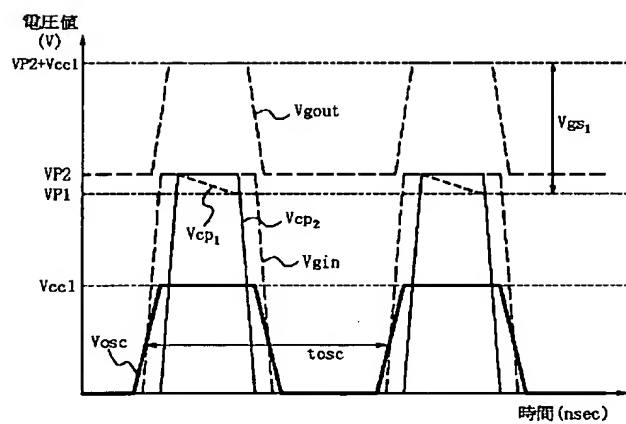
10 発振器回路  
11 電圧判定回路  
12 昇圧部  
13 電圧変換用昇圧部  
14 電圧変換回路  
15 出力制御回路  
16 昇圧論理部  
17, 19, 40 インバータ  
18 電圧変換用昇圧論理部  
20, 20—1～n, 21—1～n 昇圧制御部  
20 消費回路（インバータ）  
C1, 2 昇圧キャパシタ  
Q1, 2 MOSトランジスタ  
Q11, 12 PMOSTランジスタ  
Q13, 14 NMOSTランジスタ

#### 【要約】

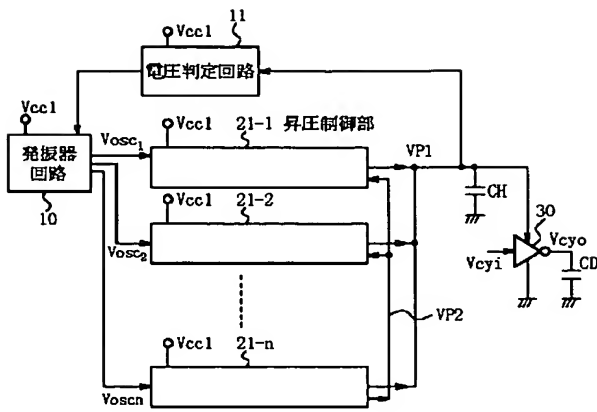
【課題】電流供給能力を十分得ることができると共に、効率よく昇圧能力を得ることができるようにする半導体昇圧回路を得る。

【解決手段】所定発振信号を出力する発振器回路10と、この発振器回路10の出力により制御出力を負荷消費回路30に出力する昇圧制御部20と、この昇圧制御部20の電圧が所定値にあることを判定して前記発振器回路10を制御する電圧判定回路11とを有し、昇圧制御部20が、前記発振器回路10により制御出力を第1の出力トランジスタQ1から負荷消費回路30に出力する昇圧部12と、発振器回路10の出力に従って制御出力を第2の出力トランジスタQ2から出力する電圧変換用昇圧部13と、この電圧変換用昇圧部13の出力により制御され発振器回路10の出力に従った変換出力を前記第1、第2の出力トランジスタQ1, 2のゲートにそれぞれ接続する電圧変換回路14とを備える。

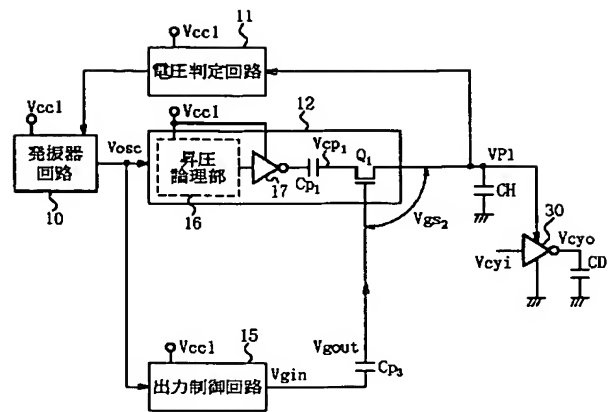
【图 3】



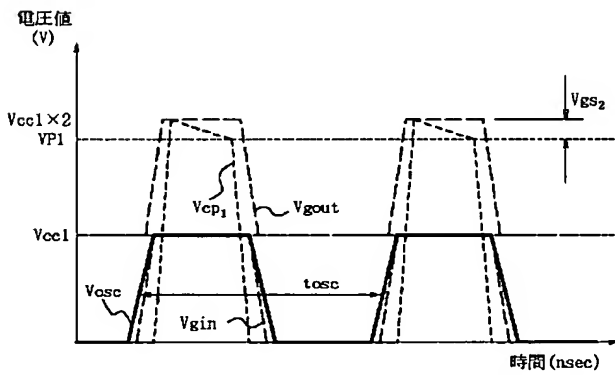
【図4】



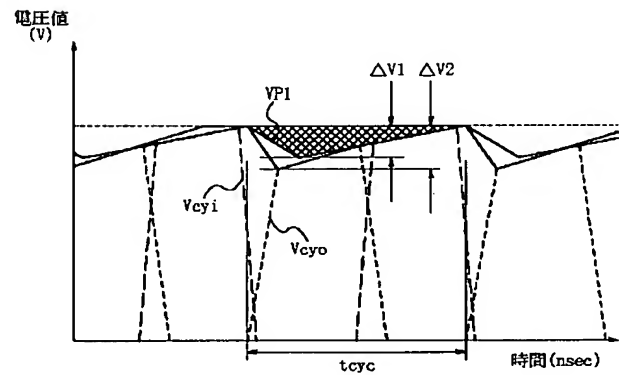
【図5】



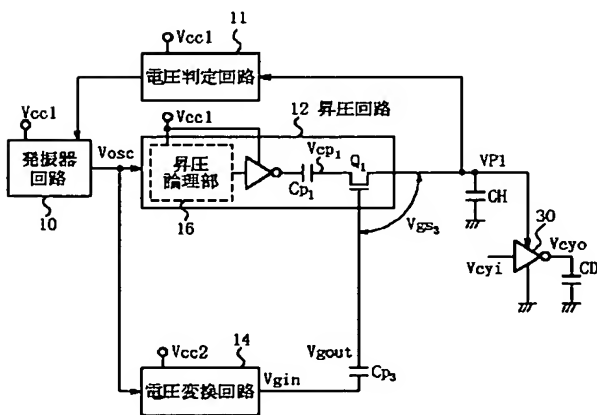
【図6】



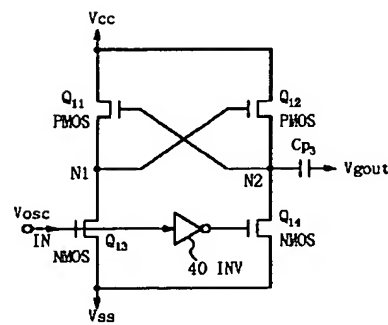
【図7】



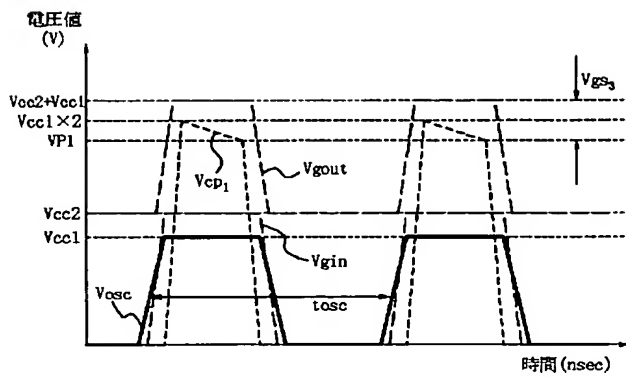
【図8】



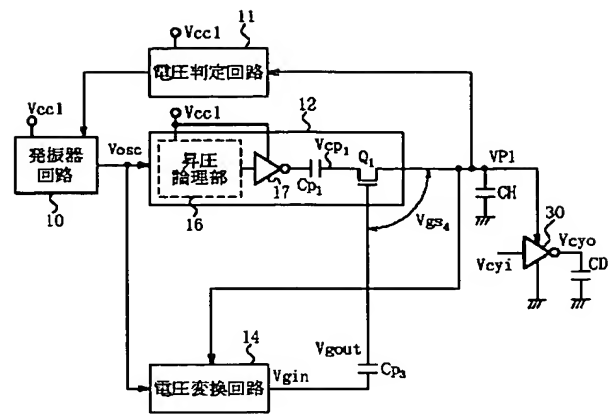
【図9】



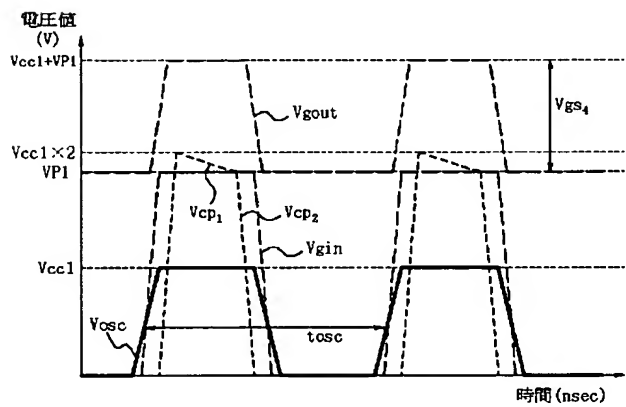
【図10】



【図11】



【図12】



フロントページの続き

(58) 調査した分野(Int. Cl.<sup>7</sup>, DB名)

H02M 3/07

G11C 11/407